

# BTD21520x

## 双通道隔离型门极驱动器

### 1. 特性

- 绝缘电压 5000Vrms
- 双通道隔离驱动
- 原边电源支持 3~18V
- 副边电源最高支持 33V
- 驱动峰值电流 4/6A
- 集成禁用功能
- 集成死区时间设置功能
- 典型传输延时 45ns
- 工作环境温度 -40~125°C
- SOW-14 宽体封装

### 3. 描述

BTD21520 是一款双通道隔离型门极驱动器，峰值拉电流（电流朝外）达 4A，峰值灌电流（电流朝内）达 6A，通过 5000Vrms 的加强绝缘将原副方进行隔离，开通关断的传输延时为 45ns。原边电源 3V 至 18V 宽输入范围使该驱动器适用于直接与数字和模拟控制器接口。

驱动器副边的两个通道之间实现功能绝缘，支持高达 1500 V<sub>DC</sub> 的工作电压。该驱动器可配置为两个低边驱动器、两个高侧驱动器或一个死区时间 (DT) 可调的半桥驱动器。并配置有 DIS 禁用管脚，DIS 脚输入高电平时将同时关断两个输出，该管脚悬空或接地时允许器件正常运行。

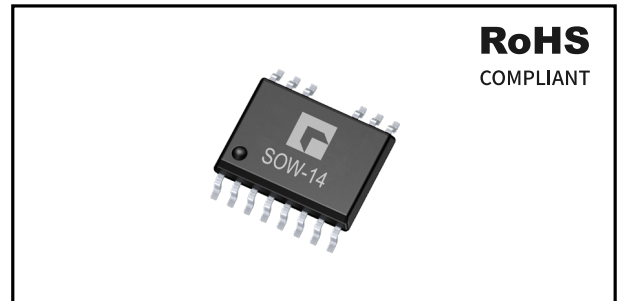
### 2. 应用

工业类：

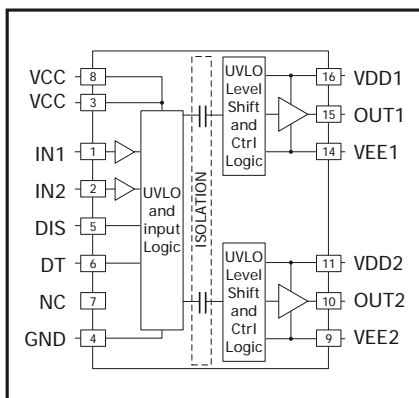
- 供电系统
- 电机控制系统
- DC/DC 隔离供电
- 照明控制系统
- 等离子显示器
- 太阳能和工业变换器

汽车类：

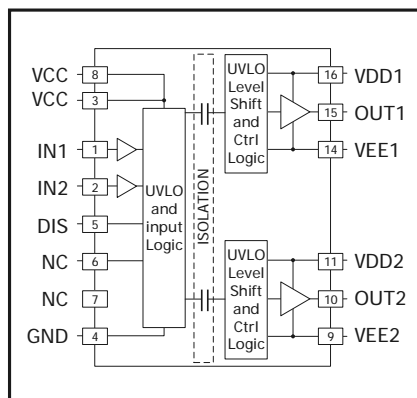
- 车载充电机
- 电池管理系统
- 充电站
- 牵引逆变器
- 混合动力汽车
- 纯电动汽车



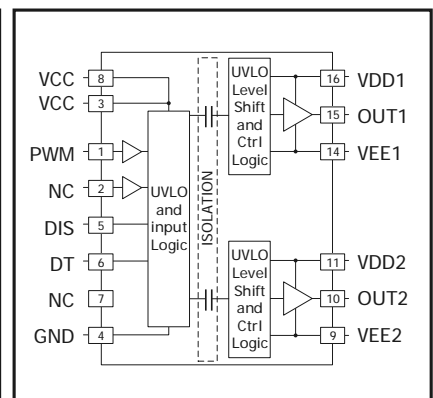
### 4. 功能框图



BTD21520M



BTD21520S



BTD21520E

## 目录

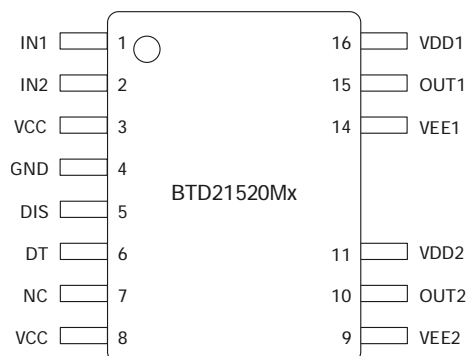
1. 特征 .....	<a href="#">01</a>
2. 应用 .....	<a href="#">01</a>
3. 描述 .....	<a href="#">01</a>
4. 功能框图 .....	<a href="#">01</a>
5. 产品信息 .....	<a href="#">03</a>
6. 管脚定义 .....	<a href="#">04</a>
7. 规格参数 .....	<a href="#">07</a>
8. 参数测试 .....	<a href="#">11</a>
9. 功能描述 .....	<a href="#">13</a>
10. 应用 .....	<a href="#">18</a>
11. 封装尺寸 .....	<a href="#">20</a>
12. 版本更改历史 .....	<a href="#">21</a>

## 5. 产品信息

产品型号	管脚配置	欠压阈值	工作温度	封装	包装	数量	丝印
		V	°C			/ 卷	
BTD21520MAWR	双通道同相输入， 死区配置和禁用功能	6	-40-125	SOW-14	卷带	1500pcs	BTD21520MA
BTD21520MBWR		8					BTD21520MB
BTD21520SAWR	双通道同相输入， 带禁用功能	6				1500pcs	BTD21520SA
BTD21520SBWR		8					BTD21520SB
BTD21520EAWR	单 PWM 输入， 死区配置和禁用功能	6				1500pcs	BTD21520EA
BTD21520EBWR		8					BTD21520EB

## 6. 管脚定义

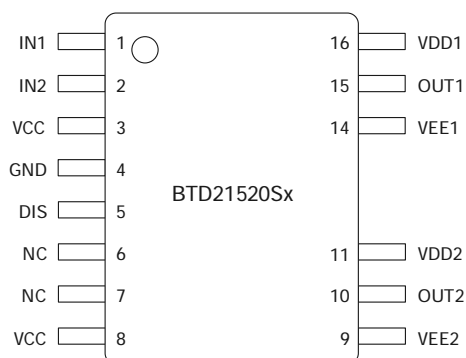
### 6.1 BTD21520Mx 管脚定义



BTD21520Mx 管脚定义

管脚	名称	管脚类型	说明
1	IN1	I	1 通道的输入信号
2	IN2	I	2 通道的输入信号
3	VCC	P	原边电源
4	GND	G	原边地
5	DIS	I	禁用管脚，该管脚为高时关闭所有输出
6	DT	I	死区时间设置
7	NC	-	空脚
8	VCC	P	原边电源
9	VEE2	P	副边驱动器 2 接地
10	OUT2	O	副边驱动器 2 驱动输出
11	VDD2	P	副边驱动器 2 电源
14	VEE1	P	副边驱动器 1 接地
15	OUT1	O	副边驱动器 1 驱动输出
16	VDD1	P	副边驱动器 1 电源

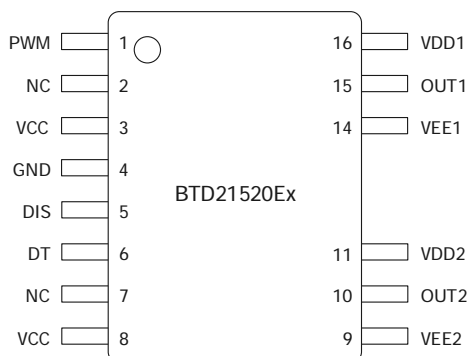
## 6.2 BTD21520Sx 管脚定义



BTD21520Sx 管脚定义

管脚	名称	管脚类型	说明
1	IN1	I	1 通道的输入信号
2	IN2	I	2 通道的输入信号
3	VCC	P	原边电源
4	GND	G	原边地
5	DIS	I	禁用管脚，该管脚为高时关闭所有输出
6	NC	-	空脚
7	NC	-	空脚
8	VCC	P	原边电源
9	VEE2	P	副边驱动器 2 接地
10	OUT2	O	副边驱动器 2 驱动输出
11	VDD2	P	副边驱动器 2 电源
14	VEE1	P	副边驱动器 1 接地
15	OUT1	O	副边驱动器 1 驱动输出
16	VDD1	P	副边驱动器 1 电源

### 6.3 BTD21520Ex 管脚定义



**BTD21520Ex 管脚定义**

管脚	名称	管脚类型	说明
1	PWM	I	PWM 控制信号输入
2	NC	-	空脚
3	VCC	P	原边电源
4	GND	G	原边地
5	DIS	I	禁用管脚，该管脚为高时关闭所有输出
6	DT	I	死区时间设置
7	NC	-	空脚
8	VCC	P	原边电源
9	VEE2	P	副边驱动器 2 接地
10	OUT2	O	副边驱动器 2 驱动输出
11	VDD2	P	副边驱动器 2 电源
14	VEE1	P	副边驱动器 1 接地
15	OUT1	O	副边驱动器 1 驱动输出
16	VDD1	P	副边驱动器 1 电源

## 7. 规格参数

### 7.1 绝对限值

符号	参数	最小值	最大值	单位
VCC	原边供电电压（3 脚）	GND-0.3	20	V
VDD	副边供电电压（对 VEE）	VEE-0.3	35	
V <sub>O</sub>	输出电压	VEE-0.3	VDD+0.3	
V <sub>IN</sub>	输入信号电压范围（IN <sub>x</sub> 、DIS、DT 到 GND）	-0.3	VCC+0.3	
-	通道间绝缘电压	-	1500	
T <sub>J</sub>	工作结温	-40	150	°C
T <sub>S</sub>	存储温度	-65	150	
T <sub>L</sub>	焊接温度（10s）	-	300	
ESD	HBM	±4000		V
	CDM	±1500		

注：以上仅仅是应力等级，器件不建议在这些条件或任何其他超出这些数值的条件下工作，长期处在绝对最大额定值的条件下工作可能会影响器件的可靠性，严重时将会对器件造成永久性损坏。

### 7.2 热阻信息

符号	参数	SOW-14 封装	单位
R <sub>θJA</sub>	结对环境热阻	67.3	°C /W
R <sub>θJC(top)</sub>	结对封装上表面热阻	34.4	
R <sub>θJB</sub>	结对封装底部热阻	32.1	
ψ <sub>JT</sub>	结对顶部特征参数	18.0	
ψ <sub>JB</sub>	结对底部特征参数	31.6	

### 7.3 耗散功率

符号	参数	测试条件	额定值	单位
P <sub>D</sub>	总功耗	VCC=18V, VDD1/2=12V, IN1/2=3.3V, 3MHz, 50% 占空比方波, 1nF 负载	1.05	W
P <sub>DI</sub>	输入端功耗		0.05	
P <sub>D1</sub> , P <sub>D2</sub>	副边单通道输出功耗		0.5	

### 7.4 推荐工作条件

符号	参数	测试条件	对应功能	最小值	最大值	单位
VCC	原边供电电压	-	-	3	18	V
VDD	副边供电电压, 参考 VEE	-	-	-	33	
V <sub>O</sub>	输出电压	-	-	0	VDD	

接上表

$V_{IN}$	输入电压范围 IN1、IN2、PWM	-	-	0	VCC	V
$T_A$	工作环境温度	-	-	-40	125	°C
$I_S$	安全输出电流	$R_{\theta JA}=67.3^{\circ}\text{C/W}$ , $V_{DD1/2}=12\text{V}$ , $T_A=25^{\circ}\text{C}$ , $T_J=150^{\circ}\text{C}$	OUT1,OUT2		75	mA
			OUT1,OUT2		36	
$P_S$	安全供电功率	$R_{\theta JA}=67.3^{\circ}\text{C/W}$ , $V_{DD1/2}=25\text{V}$ , $T_A=25^{\circ}\text{C}$ , $T_J=150^{\circ}\text{C}$	INPUT		50	mW
			OUT1		900	
			OUT2		900	
			TOTAL		1850	

## 7.5 电气特性

$T_A=-40\sim 125^{\circ}\text{C}$ ,  $V_{CC}=3.3$  或  $5\text{V}$ ,  $V_{DD1}=V_{DD2}=12\text{V}$ ,  $C_L=100\text{pF}$ 。输出管脚, 电流朝向芯片外为正方向; 输入管脚, 电流朝芯片内为正方向。

符号	参数	测试条件	最小值	额定值	最大值	单位	
输入特性							
V <sub>IH</sub>	输入逻辑 1(IN1、IN2、DIS)	-	2.1	2.4	2.7	V	
V <sub>IL</sub>	输入逻辑 0(IN1、IN2、DIS)	-	1.1	1.4	1.7		
V <sub>IN_HYS</sub>	输入回差	-	-	1	-		
I <sub>IH</sub>	输入为高电平时 INx 或 PWM 脚漏电流	输入电压为 VCC	-	650	-	uA	
I <sub>IL</sub>	输入为低电平时 INx 或 PWM 脚漏电流	输入电压为 GND	-	-	5		
		输入电压为 GND-5V	-310	-80	-		
原边欠压保护							
V <sub>ON1</sub>	原边欠压恢复点	-	-	2.6	-	V	
V <sub>OFF1</sub>	原边欠压保护点	-	-	2.5	-		
V <sub>UV,HYS1</sub>	原边欠压回差	-	-	0.1	-		
副边欠压保护							
V <sub>ON2</sub>	副边欠压恢复点	BTD21520xB	-	-	6	6.3	V
V <sub>OFF2</sub>	副边欠压保护点		-	5.4	5.7	-	
V <sub>UV,HYS2</sub>	副边欠压回差		-	-	0.3	-	
V <sub>ON2</sub>	副边欠压恢复点	BTD21520xA	-	-	8.7	9.2	
V <sub>OFF2</sub>	副边欠压保护点		-	7.8	8.2	-	
V <sub>UV,HYS2</sub>	副边欠压回差		-	-	0.5	-	
输出特性							
I <sub>OH</sub>	输出拉电流能力 ( 电流朝外 )	C <sub>VDD</sub> =10μF, C <sub>LOAD</sub> =0.18μF, f=1kHz	-	4	-	A	
I <sub>OL</sub>	输出灌电流能力 ( 电流朝内 )		-	6	-		
I <sub>VTS</sub>	OUTx 脚反灌电流耐受能力		1us 脉冲	-	5		-
V <sub>DD</sub> -V <sub>O</sub>	高电平输出电压差	I <sub>OUT</sub> =10mA	-	60	-	mV	
V <sub>O</sub> -V <sub>EE</sub>	低电平输出电压差	I <sub>OUT</sub> =-10mA	-	5.5	-		



接上表

ROHx	输出端高边 MOS 导通电阻		I <sub>OUT</sub> =-10mA, T <sub>A</sub> =25℃	-	6.5	-	Ω
ROLx	输出端低边 MOS 导通电阻			-	0.5	-	
主动下拉功能							
V <sub>OUTSD</sub>	主动下拉功能, VDDx 失电时, OUTx 脚对 VEE <sub>x</sub> 脚的电压值		I <sub>OUT</sub> =-1A( 电流灌入 OUTx 脚 ), VDDx= 悬空	-	1.8	2.5	V
开关参数							
t <sub>PLH</sub>	传输延时, 低至高		-	-	40	-	ns
t <sub>PHL</sub>	传输延时, 高至低		-	-	45	-	
t <sub>r</sub>	上升时间		C <sub>L</sub> =1nF, 20% 至 80%	-	10	26	
t <sub>f</sub>	下降时间		C <sub>L</sub> =1nF, 90% 至 10%	-	10	26	
t <sub>PWD</sub>	输入 - 输出脉宽失真度 (t <sub>PHL</sub> -t <sub>PLH</sub> )		-	-	-	5	
t <sub>DM</sub>	两个通道的传输延时差异性		f=100kHz, IN1=IN2	-	-	5	
DT	死区时间		DT 上拉到 VCC	两个输出通道完全独立			-
			DT 脚开路 ( 不推荐 )	-	8	15	ns
			R <sub>DT</sub> =20kΩ	160	200	240	
t <sub>sk</sub>	不同器件之间的延时差异性		同电压、温度、输入和负载条件下 C <sub>L</sub> =100pF	-	1	25	
t <sub>UVLO</sub>	欠压锁定恢复时间	VCC	-	-	40	-	us
		VDDx	-	-	50	-	
CMTI	共模瞬态抗扰度		IN <sub>x</sub> 固定为 GND 或 VCC1, V <sub>CM</sub> =1500V	100	-	-	kV/us

## 7.7 宽体封装安规参数

符号	参数	测试条件	最小值	额定值	最大值	单位
CLR	原副边电气间隙	-	8.5	-	-	mm
CPG	原副边爬电距离	-	8.5	-	-	
DTI	内部绝缘间距	-	17	-	-	um
CTI	相对漏电起痕指数	DIN EN 60112	600	-	-	V
-	过电压等级	额定电压 < 600Vrms	I-III	-	-	-
		额定电压 < 1000Vrms	I-II	-	-	
V <sub>IORM</sub>	最大重复峰值电压	-	2121	-	-	V <sub>PK</sub>
V <sub>IOWM</sub>	最大工作隔离电压	-	1500	-	-	Vrms
V <sub>IOTM</sub>	单次最大隔离电压	100% V <sub>IOTM</sub> , 60s, 120% V <sub>IOTM</sub> , 1s	7000	-	-	V <sub>PK</sub>
V <sub>IOSM</sub>	最大浪涌电压	IEC 62368-1, 1.2/50us 波形, 1.6 倍 V <sub>IOSM</sub>	8000	-	-	
Q <sub>pd</sub>	局部放电	V <sub>IN</sub> = V <sub>IOTM</sub> , 60s, V <sub>pd</sub> =1.2 V <sub>IOTM</sub> , 10s	-	-	5	pC
		V <sub>IN</sub> =V <sub>IOTM</sub> , 60s, V <sub>pd</sub> =1.6V <sub>IOTM</sub> , 10s	-	-	5	
		V <sub>IN</sub> =1.2V <sub>IOTM</sub> , 1s, V <sub>pd</sub> =1.875V <sub>IOTM</sub> , 1s	-	-	5	
C <sub>IO</sub>	原副边耦合	V <sub>IO</sub> =0.4Vrms, f=1MHz, 正弦波	-	1.2	-	pF
R <sub>IO</sub>	绝缘电阻	测试电压 500V, T <sub>A</sub> =25°C	10 <sup>12</sup>	-	-	Ω
		测试电压 500V, 100°C < T <sub>A</sub> < 125°C	10 <sup>11</sup>	-	-	
		测试电压 500V, T <sub>A</sub> =150°C	10 <sup>9</sup>	-	-	
-	污染等级	-	-	2	-	-
V <sub>ISO</sub>	绝缘强度	100% V <sub>ISO</sub> , 60s, 120%V <sub>ISO</sub> , 1s	5000	-	-	Vrms

## 8. 参数测试

### 8.1 传输延时及脉宽失真度

如图，展示了脉宽失真 ( $t_{PWD}$ ) 和延迟差异 ( $t_{DM}$ ) 的表征方法，测试过程中需要确保两个输入同步，同时将 DT 脚连接到 VCC 使死区禁用。

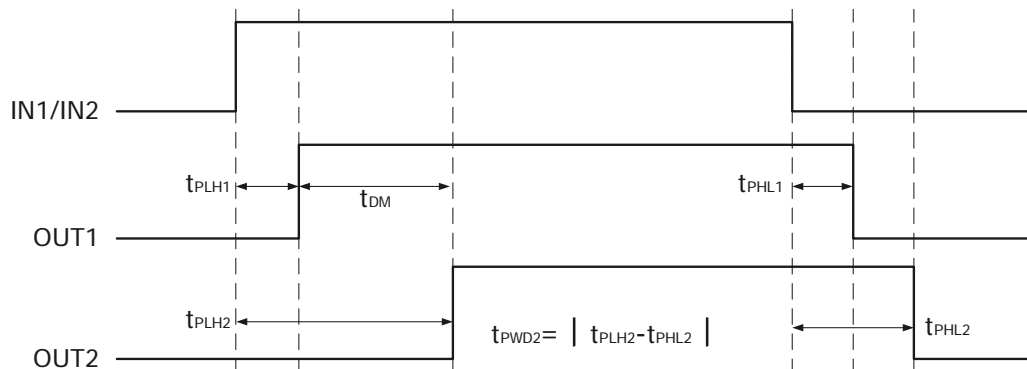


图 1 死区时间禁用，IN1、IN2 同信号

### 8.2 上升时间和下降时间

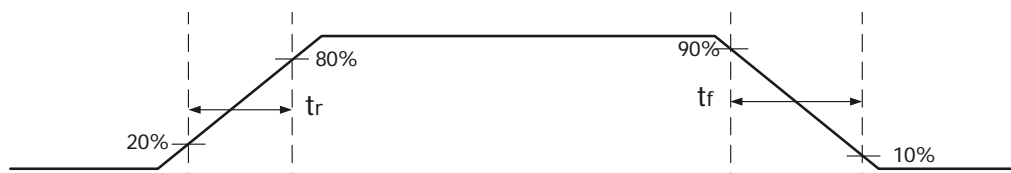


图 2 上升时间和下降时间定义

### 8.3 禁用脚的响应时间

当 DIS 脚与控制器相连有一定距离时，建议在靠近 DIS 端口处配置一个低杂感的大约 1nF 的旁路电容。

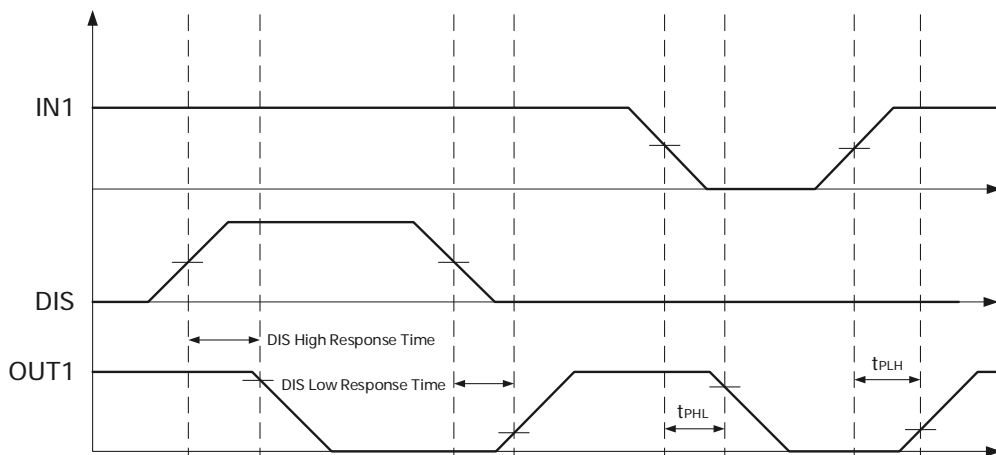


图 3 禁用管脚时序

## 8.4 可编程的死区时间

DT 脚悬空或将其通过电阻  $R_{DT}$  连接到 GND 将设置两个通道之间的死区时间。

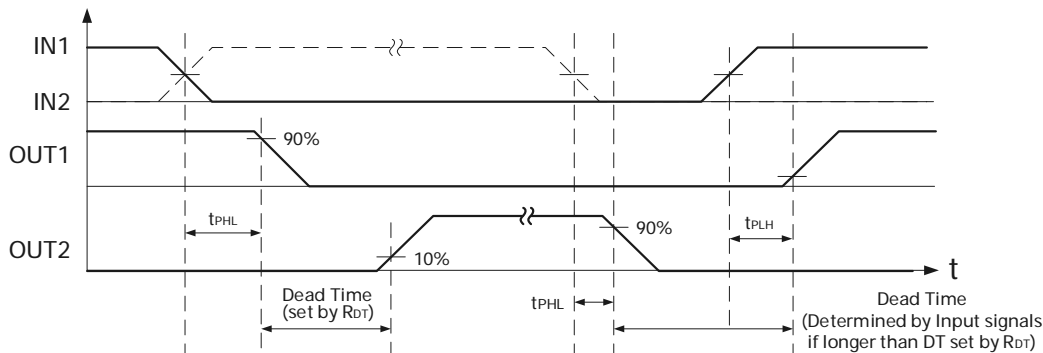


图 4 死区时间设置

## 8.5 CMTI 测试

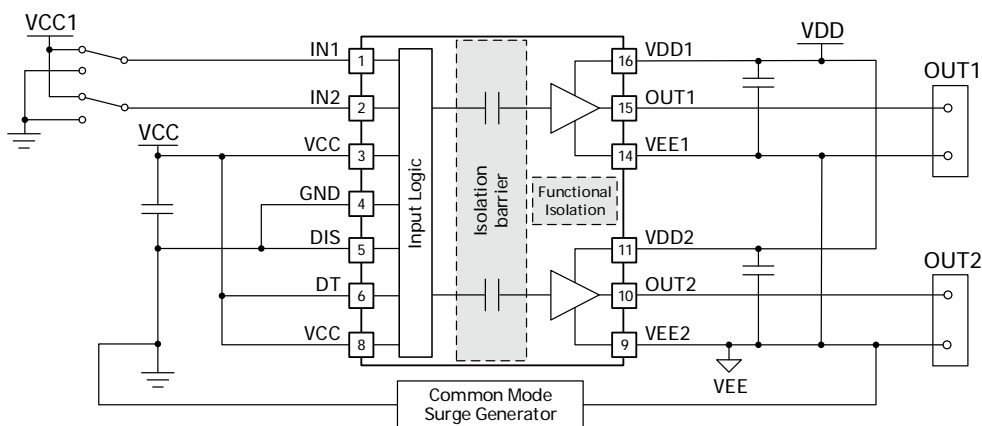


图 5 简化的 CMTI 测试设置

## 8.6 芯片上电时的 UVLO 延时

在驱动芯片上电过程中，从电源电压上升到 UVLO 恢复点到输出有响应之间有一个时间延迟，如图示， $t_{VCC+ \text{ to } OUT}$  为原方上电欠压保护延迟（典型值 40us）， $t_{VDD+ \text{ to } OUT}$  为副方上电欠压保护延迟（典型值 50us）。建议驱动芯片上电结束后，留下足够的时间裕量，再给芯片发 PWM 波。

如果 IN1 或 IN2 在 VCC 或 VDD 上升到恢复门槛前就已经是高电平了，则从 VCC 或 VDD 达到恢复门槛算起，经过  $t_{VCC+ \text{ to } OUT}$  或  $t_{VDD+ \text{ to } OUT}$  的时间后，对应的输出将跳变为高电平。然而，当 VCC 或 VDD 的电压下降到 UVLO 保护阈值时，在 1us 内，输出将被完全封锁。这种不对称的设计是为了确保 VCC 或 VDD 在掉电过程中的安全操作。

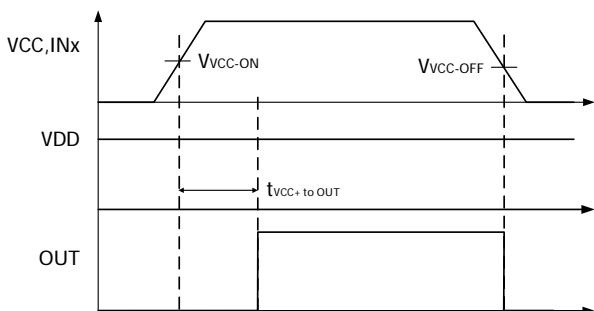


图 6-1 VCC 上电时 UVLO 延时

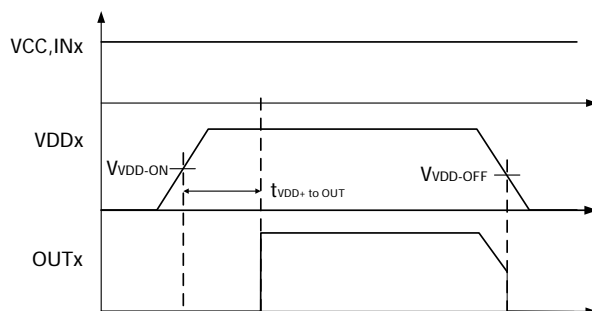


图 6-2 VDDx 上电时的 UVLO 延时

## 9. 功能描述

### 9.1 原理框图

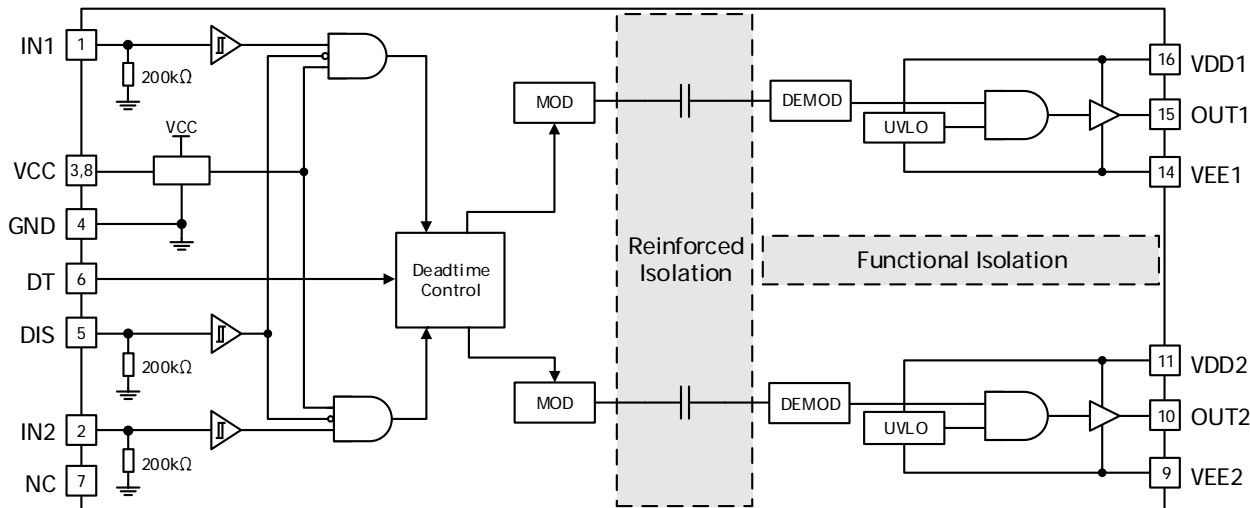


图 7 原理框图

### 9.2 真值表

当 VCC、VDD 处于上电状态时，相关输入输出逻辑信息如下表：

BTD21520M

输入		DIS	输出		说明
IN1	IN2		OUT1	OUT2	
L	L	L 或悬空	L	L	如使用死区时间功能，则在死区时间结束后发生输出转换，参见可设置死区 (DT) 管脚
L	H	L 或悬空	L	H	
H	L	L 或悬空	H	L	死区时间保持打开状态或使用 R <sub>DT</sub> 设置
H	H	L 或悬空	L	L	死区时间的管脚拉到 VCC
悬空	悬空	L 或悬空	L	L	-
X	X	H	L	L	-

BTD21520S

输入		DIS	输出		说明
IN1	IN2		OUT1	OUT2	
L	L	L 或悬空	L	L	无内部死区时间设置，两个输出通道各自独立
L	H	L 或悬空	L	H	
H	L	L 或悬空	H	L	
H	H	L 或悬空	L	L	
悬空	悬空	L 或悬空	L	L	-
X	X	H	L	L	-

## BTD21520E

PWM 输入	DIS	输出		说明
		OUT1	OUT2	
H	L	H	L	如使用死区时间功能，则在死区时间结束后发生输出跳变，参见可设置死区（DT）管脚
L	L	L	H	
X	H	L	L	器件禁用

### 9.3 输入级特性

BTD21520 输入管脚和副边完全隔离，采用 CMOS 电平兼容设计，支持 3.3V、5V、15V 电平输入，使芯片易于接受多种逻辑电平的控制。输入管脚具有施密特特性，以提高输入级的抗扰性。INx、PWM 和 DIS 端口内部有自带 200kΩ 电阻下拉到地，在输入端口悬空时可确保驱动芯片输出端口处于关闭状态。但是，为确保驱动芯片的上电初始状态，青铜剑技术建议在输入端口增加合适的上拉或下拉电阻。

### 9.4 输出推动级特性

BTD21520 的驱动输出采用轨到轨方式的输出推动级。上管采用 N 沟道 MOSFET 和 P 沟道 MOSFET 并联的方式实现，在开通瞬间，由 N 沟道 MOSFET 提供大电流驱动能力。在稳定导通时，由 P 沟道 MOSFET 提供较小的稳态导通压降。其中 PMOS 导通电阻 ( $R_{PMOS\_ON}$ ) 是 6.5Ω，NMOS 导通电阻 ( $R_{NMOS\_ON}$ ) 是 0.5Ω。

推动级下管采用一个 N 沟道 MOSFET 实现，在 MOSFET 的漏极和门极之间并联 1MΩ 的电阻，用于在芯片副边失电情况下有效钳位功率器件门极电压，防止误导通现象的发生。但是，为确保功率器件可靠关断，青铜剑技术建议在门极仍需增加合适的下拉电阻。

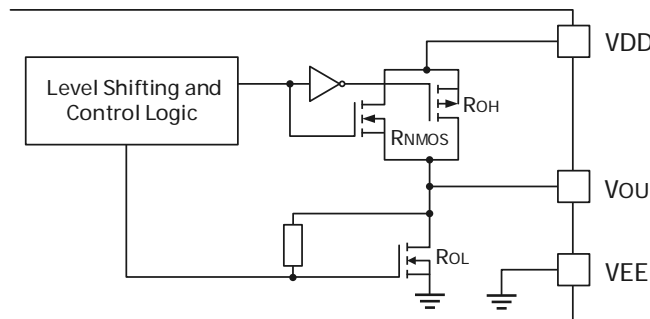


图 8 输出特性示意图

### 9.5 器件功能模式

#### 9.5.1 禁用脚

将 DIS 脚设置为高电平时可将同时关闭两个输出，DIS 脚接地或悬空时器件正常工作。禁用功能的响应时间在 20ns 范围之内，且只有将 VCC 保持在欠压开通阈值以上，禁用功能才会随设置开启或关闭。如果不使用 DIS 管脚，建议将该管脚连接到地。如果将 DIS 管脚连接到有距离的微控制器时，建议使用一个大小约为 1nF 的低 ESR/ESL 电容靠近 DIS 管脚进行旁路，以获得更好的抗噪声能力。

#### 9.5.2 将 DT 脚上拉到 VCC

两个通道各自独立，输出完全匹配输入，不插入死区时间，这种情况允许输出信号同为高。

### 9.5.3 死区时间设置

DT 脚为死区时间设置脚，用于设置 1 通道和 2 通道之间的死区时间，避免两者发生直通。DT 脚稳态电压为 0.8V，通过检测该管脚的电流值对应相应的死区时间。死区时间计算公式为  $t_{DT}=10 \times R_{DT}$ ， $t_{DT}$  单位为 ns， $R_{DT}$  单位为 kΩ。为确保该管脚信号不被干扰，建议在 DT 脚对 GND 之间靠近芯片放置 2.2nF 电容，不建议将 DT 脚悬空。

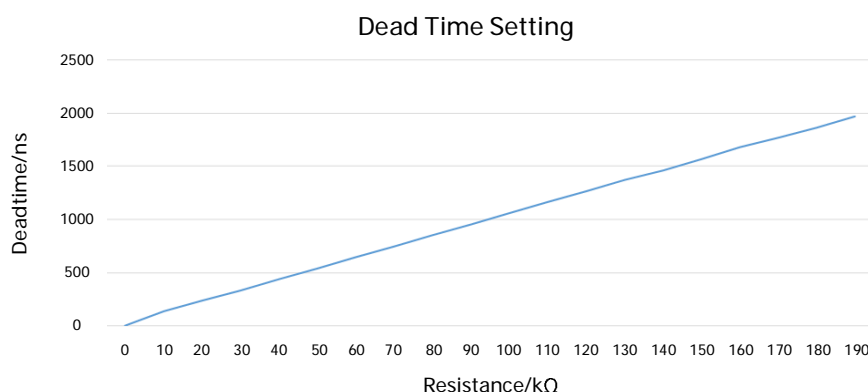


图 9-1 死区时间曲线图

一个输入信号的下降沿会激活另一个输入通道的死区。输出信号的死区时间会由芯片选取，或者为芯片自身设置的死区，或者为输入信号本身的死区，芯片输出选取两者中较长的一个。如果两个输入信号同时为高电平，两个输出信号将立即被置为低电平。这个功能是为了用于防止直通，它不影响死区时间设置的正常操作。下图中对于各种死区逻辑操作进行了说明和展示。

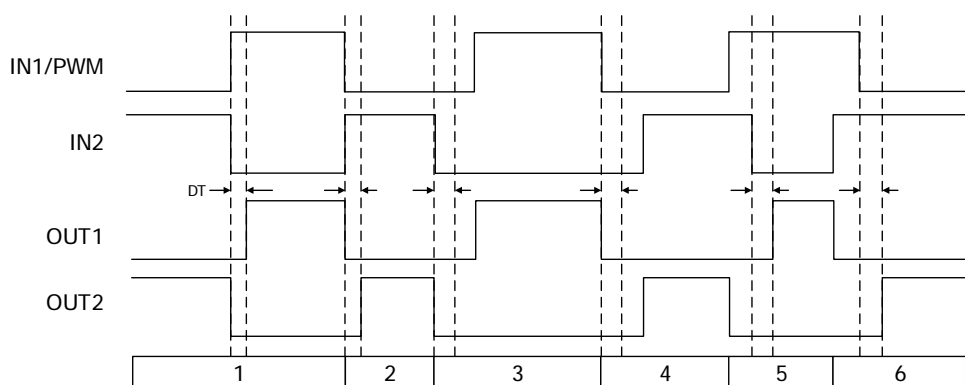


图 9-2 BTD21520M 输入和输出信号与死区时间逻辑关系

状态 1：在信号 IN2 下降时 IN1 上升为高电平，应 IN2 的变化，OUT2 会立即从高电平降为低电平，并设置死区时间分配到 OUT1，经过死区时间之后，OUT1 将被允许升到高电平。

状态 2：IN2 上升为高电平，IN1 降低为低电平，此时应 IN1 的变化，OUT1 会立即从高电平降为低电平，并将死区时间分配到 OUT2，经过死区时间之后，OUT2 将被允许上升到高电平。

状态 3：IN2 将为低电平，IN1 仍然持续为低，应 IN2 的变化，OUT2 立即降为低电平，并将死区时间分配给 OUT1。在这期间，输入信号的死区时间比所设置的死区时间还更长，因此当 IN1 上升为高电平时，会立即将 OUT1 输出为高电平。

状态 4：IN1 降低为低电平，IN2 持续为低，应 IN1 的变化，OUT1 立即变为低电平并将死区时间分配到 OUT2。此时 IN2 的死区时间比设置的死区时间更长，因此，当 IN2 上升为高电平时，OUT2 立即输出为高。

状态 5：IN1 上升为高电平，此时 IN2 和 OUT2 仍为高电平，为避免短路击穿，IN1 立即将 OUT2 推到低电平状态，并将 OUT1 保持为低电平。在 OUT2 降为低电平并分配死区时间给到 OUT1 的一段时间后，此时 OUT2 仍为低电平，再经过死区时间，OUT1 允许升到高电平。

状态 6：IN2 上升为高电平，此时 IN1 和 OUT1 仍为高电平，为避免直通，IN2 立即将 OUT1 推到低电平状态并保持 OUT2 为低电平。在 OUT1 降为低电平并分配死区时间给到 OUT2 的一段时间后，此时 OUT1 仍为低电平，再经过死区时间，OUT2 将允许升到高电平。

#### 9.5.4 BTD21520E 死区时间

在 OUT1 或 OUT2 在上升为高电平之前会先经过死区时间，以防止高边和低边的 MOSFET 直通。

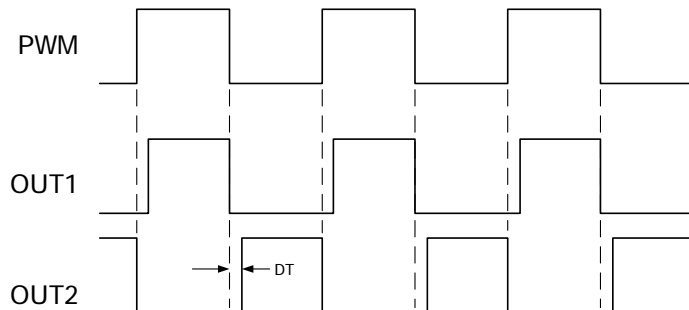


图 10 BTD21520E 输入与输出信号死区时间逻辑关系

### 9.6 保护功能

#### 9.6.1 欠压保护

在两个输出的 VDD 和 VEE 管脚之间的电源电路功能区上有一个内部欠压锁定 (UVLO) 保护功能，当 VDD 的电压在启动前低于欠压恢复点，或在启动后低于欠压保护点，那无论输入状态是什么情况，输出都将保持为低电平。

当驱动器的输出处于未供电状态或欠压状态时，其输出被有源钳位电路钳位到低电平，如下图所示，此时上管的 PMOS 由于高阻态而阻断，下管的 NMOS 栅极则通过电阻  $R_{CLAMP}$  与驱动的输出连接，在没有偏置电压时，输出被有效地钳在下管 NMOS 器件的阈值电压上，通常为 1.5V 左右（参见图 11-1）。

VDD 的欠压保护功能有一个回差 ( $V_{VDD\_HYS}$ ) 特性，该回差功能，在有来自于电源到地的噪声时可防止颤动。在器件开始开关和工作电流消耗突然增加时，这也会使得器件可以接受偏置电压的小幅下降。

和 VDD 的一样，在原边 VCC 端上也集成有欠压锁定 (UVLO) 保护功能，在 VCC 端加偏置电压且电压低于欠压导通点时，该器件不激活，器件激活后 VCC 电压不断降低到欠压关闭点后，信号停止传送，并且同 VDD 的欠压保护一样，VCC 的欠压保护也带有回差功能。

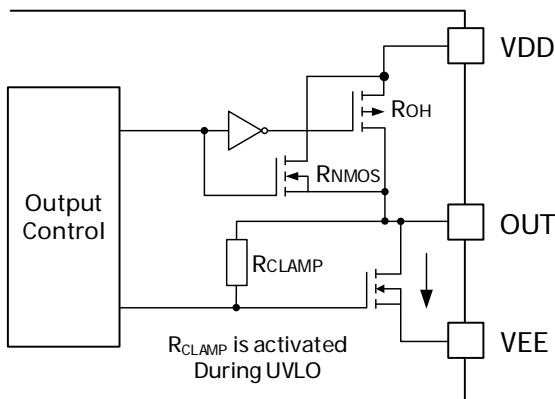


图 11-1 主动下拉功能简化图

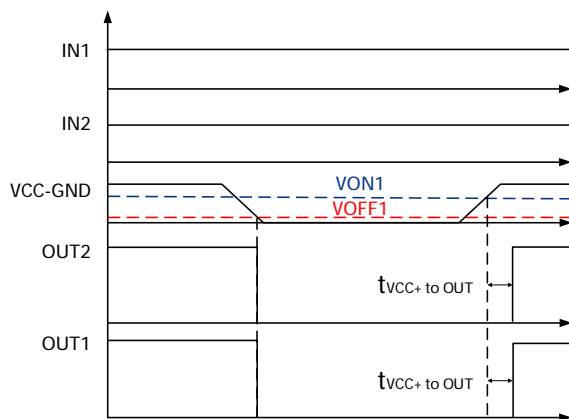


图 11-2-1 欠压保护时序图



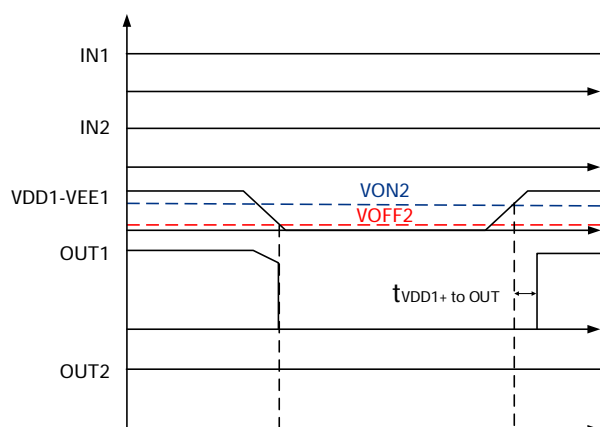


图 11-2-2 欠压保护时序图

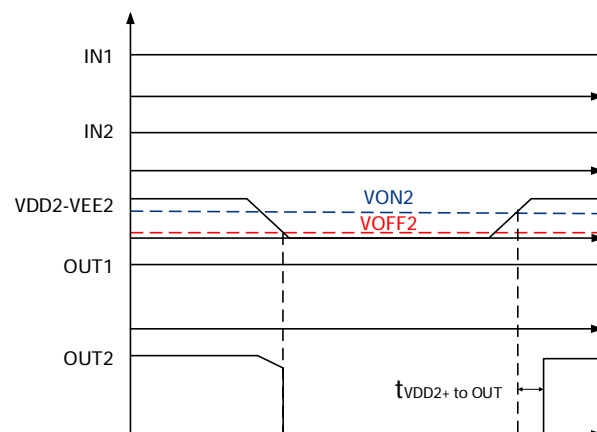


图 11-2-3 欠压保护时序图

## 9.7 ESD 结构

如下图所示为输入及输出管脚的 ESD 防护的二极管配置。

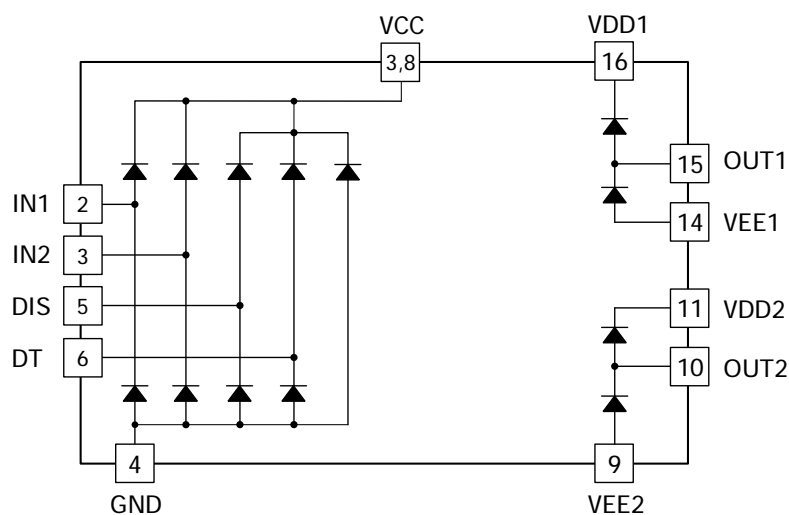


图 12 ESD 结构示意图

## 10. 应用

以下章节为青铜剑驱动芯片的基础典型应用介绍，仅供参考。在实际应用中，用户需根据自身设计要求验证并测试其适用性以确认系统功能。

### 10.1 典型应用

青铜剑技术推荐客户在输入端口处增加一个小时间常数的 RC 滤波器以在滤除高频干扰的同时不增加较大的延时，建议电阻值在  $0\sim 100\Omega$  之间，电容在  $1000\text{pF}$  以下。选择该参数时，需综合考虑高频干扰和延时之间的影响。

为保证供电稳定性，青铜剑技术建议在电源和地之间增加合适的电容值。原边电源 VCC-GND 之间建议并联  $1\mu\text{F}+0.1\mu\text{F}$  电容  $C_{VCC}$ ，副边电源 VDD-VEE 之间建议并联  $10\mu\text{F}+0.22\mu\text{F}$  电容  $C_{VDD1}$  和  $C_{VDD2}$ 。

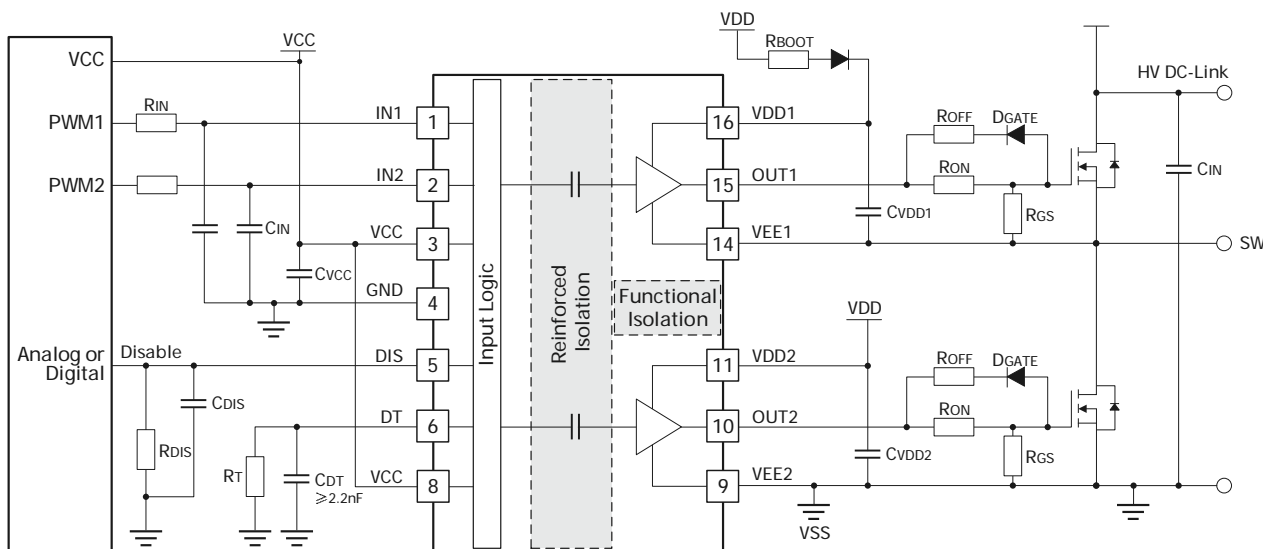


图 13-1 BTD21520M 应用示意图

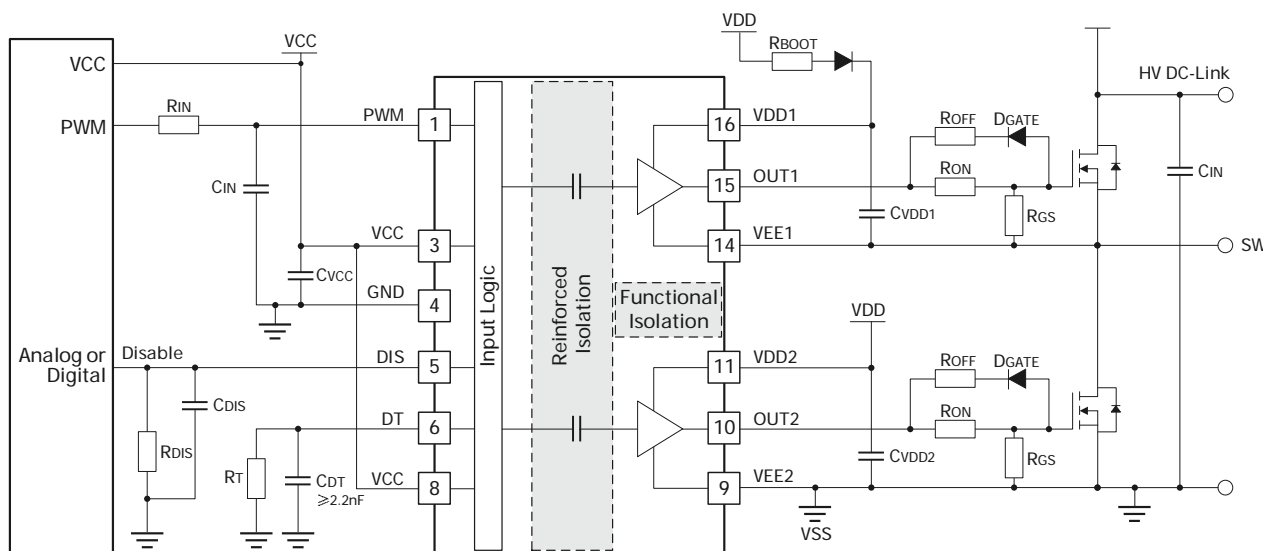


图 13-2 BTD21520E 应用示意图

## 10.2 推荐设计

### 10.2.1 副边电源推荐设计

为避免功率器件门极收到干扰发生误导通的行为，建议客户在进行驱动输出设计时需设计负电源。负电源的产生建议采用以下两种方式：采用稳压管产生稳定的负压或采用正负双电源供电。

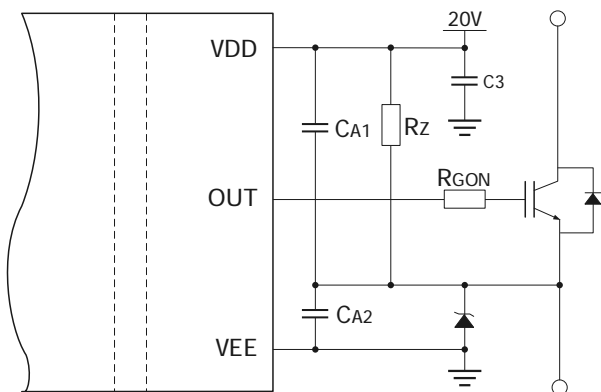


图 14-1 稳压管方案

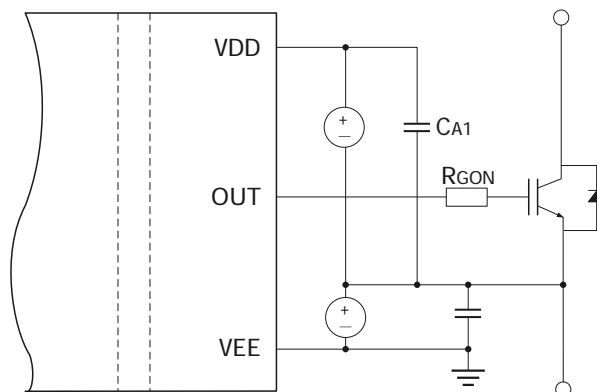
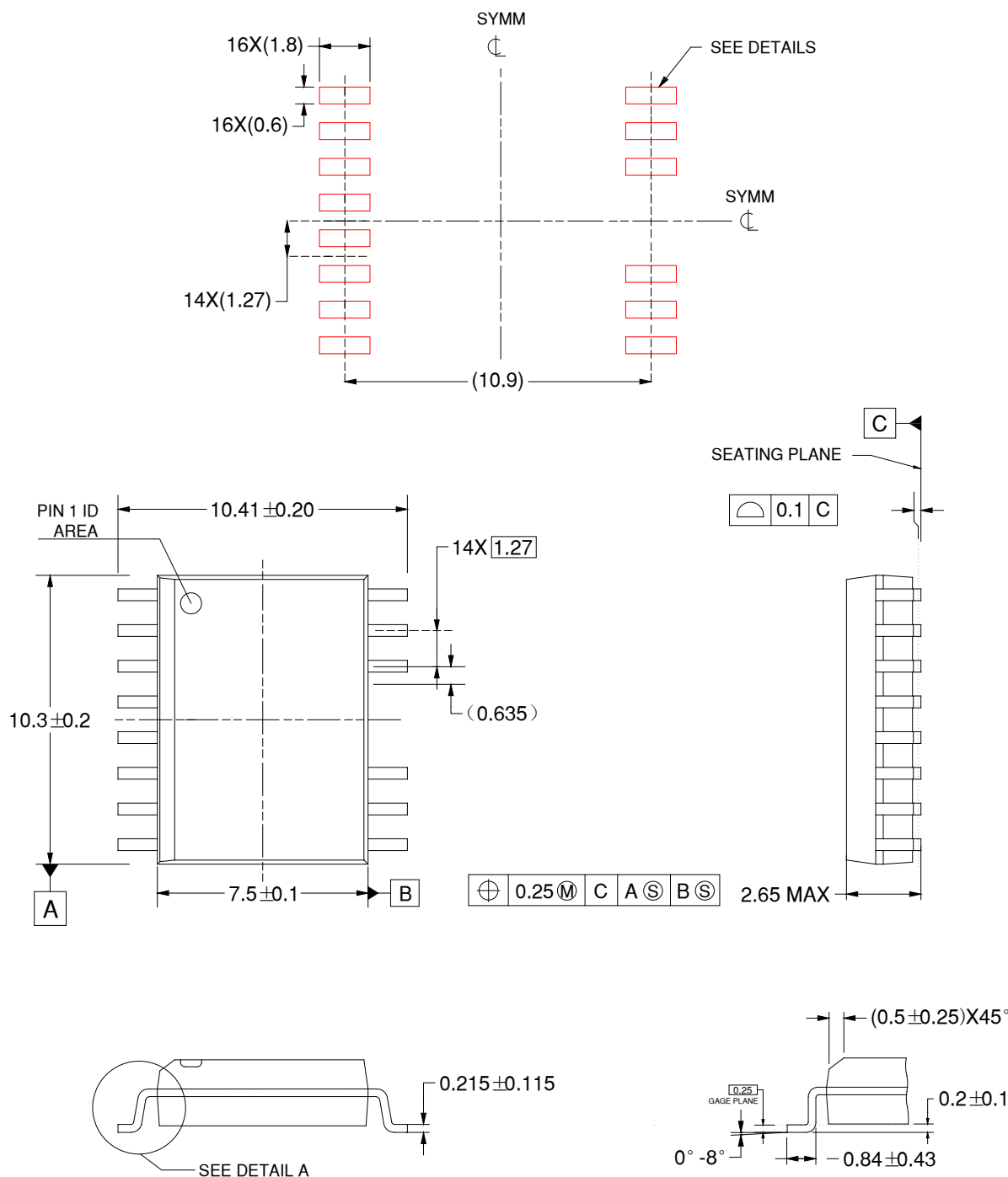


图 14-2 双电源方案

## 11. 封装尺寸

### 11.1 SOW-14 封装信息



#### 静电放电警告



ESD 可能会损坏该集成电路。青铜剑技术建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理措施和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

## 12. 版本更改历史

版本号	变更内容	修订日期
Rev.0.0	发布初步数据表	2023-01-12

## 免责声明

青铜剑技术提供的技术和可靠性数据（包括数据手册等）、设计资源（包括 3D 模型、结构图、AD 模型）、应用指南、应用程序或其他设计建议、工具、安全信息和资源等，不包含所有明示和暗示的保证，包括对交付、功能、特定用途、适用性保证和不侵犯第三方知识产权的保证。

这些资源旨在为使用青铜剑技术产品进行开发的熟练工程师提供。为您全权负责：

- (1) 为您的产品选择适当的青铜剑技术产品；
- (2) 设计、验证和测试您的产品；
- (3) 确保您的产品符合适用的要求。

青铜剑技术保留随时修改数据、文本和资料的权力，恕不另行通知。

请随时访问青铜剑技术网站 [www.qjtjtec.com](http://www.qjtjtec.com) 或微信公众号，以获取最新的资料。

青铜剑技术授权您仅在应用青铜剑技术产品的开发过程，使用相应的资源；禁止以其他方式复制和展示这些资源。青铜剑技术没有通过这些资源，授予任何青铜剑技术的知识产权或第三方知识产权许可。

对于因您使用这些资源而引起的任何索赔、损害、损失和成本，青铜剑科技不承担任何责任，并且有权追偿因侵犯知识产权而造成的损失。

### 青铜剑科技集团 | 深圳青铜剑技术有限公司

© 深圳青铜剑技术有限公司

● [www.qjtjtec.com](http://www.qjtjtec.com)

☎ +86 0755 33379866

✉ [support@qjtjtec.com](mailto:support@qjtjtec.com)



进入官网



微信公众号